

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



ASA-1026

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

K. WATANABE et al

Serial No. 09/939,589

Group Art Unit: 2133

Filed: August 28, 2001

Examiner: D. Gandhi

For: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING
A SELF-TESTING FUNCTION

RECEIVED

MAY 26 2004

Technology Center 2100

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

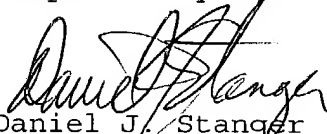
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

May 25, 2004

Sir:

Submitted herewith is a certified priority document
(JP 2000-298525) of a corresponding Japanese patent
application for the purpose of claiming foreign priority under
35 U.S.C. § 119. An indication that this document has been
safely received would be appreciated.

Respectfully submitted,


Daniel J. Stanger
Registration No. 32,846
Attorney for Applicant(s)

MATTINGLY, STANGER & MALUR, P.C.
1800 Diagonal Road, Suite 370
Alexandria, Virginia 22314
Telephone: (703) 684-1120
Facsimile: (703) 684-1157
Date: May 25, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月29日

出 願 番 号

Application Number:

特願2000-298525

出 願 人

Applicant(s):

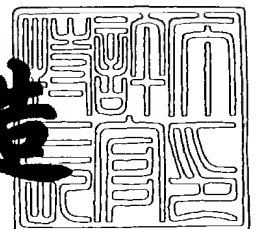
株式会社日立製作所

Serial No. 09/939,589
Filed: 8/28/01
Mattingly, Stanger & Malur, P.C.
ASA-1026

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3072547

【書類名】 特許願

【整理番号】 H00002151

【提出日】 平成12年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 渡邊 圭紀

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 原田 卓

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 上野 聡

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 入力された複数チャネル分のパラレル信号をシリアル信号に変換して出力するための送信回路と、

入力されたシリアル信号をパラレル信号に変換して出力するための受信回路と、

上記送信回路に供給されるテストパターン信号を発生するためのテストパターン発生回路と、

上記パターン発生回路によって発生されたテストパターン信号を上記送信回路に選択的に供給するための第 1 セレクタと、

上記送信回路の出力信号を上記受信回路に選択的に取り込むための第 2 セレクタと、

上記受信回路の出力信号からテストパターンの誤りを検出するためのテストパターン合否判定回路とを含む半導体集積回路であって、

上記テストパターン発生回路は、上記パラレル信号に対応する複数チャネル分のランダムパターンを発生するための第 1 論理回路群を含んで成り、

上記テストパターン合否判定回路は、上記受信回路から先に出力された複数チャネル分のパラレル信号を保持可能な第 2 論理回路群と、上記第 2 論理回路群の保持信号に基づいて、上記受信回路から新たに出力されるパラレル信号の期待値を生成するための第 3 論理回路群と、上記受信回路から現在取り込まれた複数チャネル分のパラレル信号と上記第 3 論理回路群で生成された期待値とを比較するための第 4 論理回路群とを含んで成ることを特徴とする半導体集積回路。

【請求項 2】 上記第 1 論理回路群は、上記パラレル信号に対応する複数の第 1 フリップフロップ回路と、上記第 1 フリップフロップ回路の前段に配置された複数の第 2 フリップフロップ回路と、上記複数の第 1 フリップフロップ回路から出力される信号のうち、互いに所定のビット数だけ離れた箇所の信号論理を比較してその比較結果を、対応する上記第 1 フリップフロップ回路又は上記 2 フリップフロップ回路に供給するためのエクスクルーシブオア回路とを含んで成るこ

とを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 上記テストパターン合否判定回路は、上記第 4 論理回路群からの複数の出力信号のアンド論理を得るアンド回路を含む請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】 上記テストパターン合否判定回路は、上記第 4 論理回路群からの複数の出力信号のアンド論理を得るアンド回路と、上記アンド回路の出力信号をクロック信号に同期して取り込むための第 3 フリップフロップ回路と、上記第 3 フリップフロップ回路の出力信号によってセットされる S R ラッチ回路とを含んで成る請求項 1 又は 2 記載の半導体集積回路。

【請求項 5】 上記テストパターン合否判定回路は、上記第 4 論理回路群からの複数の出力信号のアンド論理を得るアンド回路と、上記アンド回路の出力信号をクロック信号に同期して取り込むための第 3 フリップフロップ回路と、上記第 3 フリップフロップ回路の出力信号によってセットされる S R ラッチ回路と、上記 S R ラッチ回路の前段に配置された回路がリセットされてから所定時間経過後に上記 S R ラッチ回路のリセット状態を解除可能なりセット回路とを含んで成る請求項 1 又は 2 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の試験技術に関し、例えば通信用 L S I に適用して有効な技術に関する。

【0002】

【従来の技術】

半導体集積回路の試験には、昭和 59 年 11 月 30 日に株式会社オーム社から発行された「L S I ハンドブック（第 649 頁）」に記載されているように、直流（DC）特性試験、交流（AC）特性試験、及び機能試験が含まれる。DC 特性試験には、L S I の外部端子の電圧や外部端子を通過する電流を DC 的に測定される。AC 特性試験では、入出力端子間の伝搬遅延時間や出力波形の遷移時間、セットアップ時間、ホールド時間、最小クロックパルス幅、最大動作周波数な

どの測定が含まれる。また、機能試験は、L S I に規定の動作条件を与えたとき、L S I が機能に異常を示さずに動作するか否かを確認するための試験である。この機能試験では、L S I にテストパターンを入力した場合に当該 L S I から出力された信号を期待値と比較することによって L S I の機能の良否判定が行われる。そのような機能試験を行うためには、テストパターンを発生するためのパターン発生回路と、L S I から出力された信号を期待値と比較するための比較回路とが必要とされる。L S I にはパターン発生回路や比較回路が内蔵されたものと、内蔵されないものがある。パターン発生回路や比較回路が内蔵されない場合には、L S I の外部に配置されたパターン発生回路や比較回路が使用される。

【 0 0 0 3 】

また、特開平 2 - 1 9 0 5 1 号公報に記載されているように、送受信機能が正常に機能するか否かをチェックするための自己診断機能を備えたモデム制御装置が知られている。このモデム装置によれば、電源投入時に受信系統制御部と送信系統制御部とのそれぞれのモデム側一端を相互に接続し折り返しループを形成させるスイッチ手段と、このスイッチ手段の動作と同期して折り返し試験用のパターンデータを受信系統制御部の入力側に与えるパターンジェネレータと、このパターンジェネレータが出力するパターンデータと受信系統制御部、スイッチ手段、送信系統制御部を介して折り返される結果とを比較し、当該比較結果を制御部に伝えるチェッカとが設けられている。

【 0 0 0 4 】

【発明が解決しようとする課題】

L S I のクロック周波数が高くなると、特に通信用 L S I などのように、 n 個のチャンネルを持ち、その多重化処理を行うような L S I においては、パターン発生回路から出力された信号をチャンネル数 (n 個) に振り分ける必要があることから、パターン発生回路において実際に発生されるパターン信号の周波数は、L S I の試験において必要とされるテストパターンの n 倍の周波数で発振させる必要がある。このため、L S I のクロック周波数が高くなればなるほど、それに対応するパターン発生回路の設計は困難とされる。さらに、テストパターンの受信側では、信号の比較において信号の同期が必要とされるが、動作クロックの周

波数が高くなると、この信号の同期をとることも困難になる。

【 0 0 0 5 】

また、特開平 2 - 1 9 0 5 1 号では、各ブロック内の詳細な構成は示されていないが、パターンジェネレータで発生された信号を受信系統制御部へ供給するとともに、送信系統制御部の出力信号との比較のためのチェッカーへも供給する必要がある。

【 0 0 0 6 】

本発明の目的は、半導体集積回路の試験を容易にしかも安価に行うための技術を提供することにある。

【 0 0 0 7 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 0 8 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 0 9 】

すなわち、入力された複数チャネル分のパラレル信号をシリアル信号に変換して出力するための送信回路と、入力されたシリアル信号をパラレル信号に変換して出力するための受信回路と、上記送信回路に供給されるテストパターン信号を発生するためのテストパターン発生回路と、上記パターン発生回路によって発生されたテストパターン信号を上記送信回路に選択的に供給するための第 1 セレクタと、上記送信回路の出力信号を上記受信回路に選択的に取り込むための第 2 セレクタと、上記受信回路の出力信号からテストパターンの誤りを検出するためのテストパターン合否判定回路とを含んで半導体集積回路が構成されるとき、テストパターン発生回路は、上記パラレル信号に対応する複数チャネル分のランダムパターンを発生するための第 1 論理回路群を含んで成り、上記テストパターン合否判定回路は、上記受信回路から先に出力された複数チャネル分のパラレル信号を保持可能な第 2 論理回路群と、上記第 2 論理回路群の保持信号に基づいて、上

記受信回路から新たに出力されるパラレル信号の期待値を生成するための第3論理回路群と、上記受信回路から現在取り込まれた複数チャネル分のパラレル信号と上記第3論理回路群で生成された期待値とを比較するための第4論理回路群とを含んで成る。

【0010】

上記の手段によれば、テストパターン発生回路及びテストパターン合否判定回路が半導体集積回路に内蔵されていることから、高価なテストパターン発生回路やテストパターン合否判定回路をチップの外部に用意する必要がないので、半導体集積回路の製造コストの低減を図ることができる。そして、テストパターン発生回路は、上記パラレル信号に対応する複数チャネル分のランダムパターンを発生するための第1論理回路群を含むことから、テストパターン発生回路で発生されたテストパターンをパラレル形式で上記送信回路に供給することができ、そのため、パターン発生回路から出力された信号をチャンネル数（ n 個）に振り分ける必要がなくなる。このことから、パターン発生回路において実際に発生されるテストパターン信号の周波数は、半導体集積回路の試験において必要とされるテストパターンの周波数で十分となる。さらに、上記受信回路から先に出力された複数チャネル分のパラレル信号を保持可能な第2論理回路群と、上記第2論理回路群の保持信号に基づいて、上記受信回路から新たに出力されるパラレル信号の期待値を生成するための第3論理回路群と、上記受信回路から現在取り込まれた複数チャネル分のパラレル信号と上記第3論理回路群で生成された期待値とを比較するための第4論理回路群とを含んで、上記テストパターン合否判定回路を構成することにより、上記テストパターン合否判定のための期待値として、パターン発生回路からの出力信号を取り込む必要が無くなり、信号比較において当該信号の同期が不要となる。このことが、半導体集積回路における試験の容易化を達成する。

【0011】

上記パラレル信号に対応する複数の第1フリップフロップ回路と、上記第1フリップフロップ回路の前段に配置された複数の第2フリップフロップ回路と、上記複数の第1フリップフロップ回路から出力される信号のうち、所定のビット数

だけ離れた箇所の信号論理を比較してその比較結果を、対応する上記第 1 フリップフロップ回路又は上記 2 フリップフロップ回路に供給するためのエクスクルーシブオア回路とを含んで上記第 1 論理回路群を構成することにより、上記パラレル信号に対応する複数チャンネル分のランダムパターンを容易に発生させることができる。

【 0 0 1 2 】

さらに、上記第 4 論理回路群からの複数の出力信号のアンド論理を得るアンド回路を上記テストパターン合否判定回路に設けることにより、上記テストパターン合否判定結果のビット数の低減を図ることができる。

【 0 0 1 3 】

上記第 4 論理回路群からの複数の出力信号のアンド論理を得るアンド回路と、上記アンド回路の出力信号をクロック信号に同期して取り込むための第 3 フリップフロップ回路と、上記第 3 フリップフロップ回路の出力信号によってセットされる S R (セット・リセット) ラッチ回路とを含んで上記テストパターン合否判定回路を構成することにより、S R ラッチ回路が上記第 3 フリップフロップ回路の出力信号によってセットされた後において、上記テストパターン合否判定結果が、その後の第 3 フリップフロップ回路の出力信号によって破壊されるのを防止することができる。

【 0 0 1 4 】

上記 S R ラッチ回路の前段に配置された回路がリセットされてから所定時間経過後に上記 S R ラッチ回路のリセット状態を解除可能なりセット回路とを設けることにより、不所望な論理が上記 S R ラッチ回路に保持されるのを排除することができる。

【 0 0 1 5 】

【発明の実施の形態】

図 1 には本発明にかかる半導体集積回路の一例である通信用 L S I が示される。

【 0 0 1 6 】

図 1 に示される通信用 L S I 2 0 は、特に制限されないが、公知の半導体集積

回路製造技術により、例えば単結晶シリコン基板のような一つの半導体基板に形成される。

【 0 0 1 7 】

通信用 L S I 2 0 は、特に制限されないが、高速光通信におけるトランシーバに内蔵されるもので、送信回路 1 2 と受信回路 1 4 とが設けられている。

【 0 0 1 8 】

送信回路 1 2 は、 n (n は正の整数を意味する) 個の送信側入力端子 $T 1 - 1 \sim T 1 - n$ を介して外部から入力された送信側データ (パラレル形式) を多重化することによりシリアル形式に変換して送信する機能を有する。送信回路 1 2 の出力データ (シリアル形式) は送信側出力端子 $T 4$ を介して外部出力される。

【 0 0 1 9 】

受信回路 1 2 は、受信側入力端子 $T 5$ を介して外部から入力されたシリアルデータをパラレルデータに変換して出力する機能を有する。受信回路 1 5 の出力データ (パラレル形式) は受信側出力端子 $T 2 - 1 \sim T 2 - n$ を介して外部出力される。

【 0 0 2 0 】

高速光通信におけるトランシーバにおいて、送信側出力端子 $T 4$ や受信側入力端子 $T 5$ は、図示されない送受信回路に結合される。この送受信回路には、上記送信側出力端子 $T 4$ からの出力データに基づいてレーザ光を変調するための光変調回路や、光ファイバを介して入射されたレーザ光を電気信号に変換するための受光素子などが含まれる。上記受光素子によって得られた電気信号が上記受信側入力端子 $T 5$ を介して受信回路 1 5 に伝達される。送信側入力端子には、前段の多重化回路が結合され、この多重化回路からの多重化信号が送信側入力端子 $T 1 - 1 \sim T 1 - n$ を介してチップ内に取り込まれる。そして、受信側出力端子 $T 2 - 1 \sim T 2 - n$ には後段の分離回路が設けられ、上記受信回路 1 5 からの n 個の出力データのそれぞれが上記後段の分離回路において分離される。

【 0 0 2 1 】

テストモード信号 $T E S T$ を取り込むためのテストモード信号入力端子 $T 6$ が設けられる。このテストモード信号入力端子 $T 6$ を介して入力されるテストモー

ド信号TESTがローレベルの場合、通信用LSI20は通常動作状態とされる。これに対してテストモード信号TESTがハイレベルの場合、通信用LSI20はテストモード状態とされる。

【0022】

次に、上記通信用LSI20の自己診断を可能とする回路構成について説明する。

【0023】

通信用LSI20の自己診断を可能とするため、セクタ11-1~11n, 14、テストパターン発生回路13、及びテストパターン合否判定回路16が設けられる。

【0024】

テストパターン発生回路13は、特に制限されないが、送信回路12から供給されるクロック信号CLOCKに基づいて、国際電気通信連合ITU-T O151, O153において評価用勧告とされるPN系列(PRBS; Pseudo Random Bit Sequence)のランダムパターンを発生する。

【0025】

セクタ11-1~11-nは、送信側入力端子T1-1~T1-nを介して入力されたデータと、テストパターン発生回路13から出力されたテストパターンデータとをテストモード信号TESTに応じて選択的に送信回路12に伝達する機能を有する。特に制限されないが、セクタ11-1~11-nは、テストモード信号TESTがローレベルの場合には、送信側入力端子T1-1~T1-nを介して入力されたデータを送信回路12に伝達し、テストモード信号TESTがハイレベルの場合には、テストパターン発生回路13の出力データを送信回路12に伝達する。

【0026】

セクタ14は、テストモード信号TESTに応じて、受信側データ入力端T5を介して入力されたデータと送信回路12の出力信号とを選択的に受信回路15に伝達する機能を有する。特に制限されないが、セクタ14は、テストモード信号TESTがローレベルの場合には、受信側データ入力端子T5を介して入

力されたデータを選択的に受信回路 1 5 に伝達し、テストモード信号 T E S T がハイレベルの場合には、送信回路 1 2 の出力データを選択的に受信回路 1 5 に伝達する。

【 0 0 2 7 】

テストパターン合否判定回路 1 6 は、回路が正常動作しているか否かを、受信回路 1 5 から出力されたテストパターンデータに基づいて判定する機能を有する。この判定は、受信回路 1 5 から伝達されたクロック信号 C L O C K に応じて動作される。テストパターン合否判定回路 1 6 の判定結果は、テスト結果出力端子 T 3 を介して外部出力される。

【 0 0 2 8 】

次に、各部の詳細について説明する。

【 0 0 2 9 】

図 2 にはテストパターン発生回路 1 3 の構成例が示される。

【 0 0 3 0 】

図 2 に示されるテストパターン発生回路 1 3 は、特に制限されないが、P N 系列 3 1 段の構成とされ、3 1 個のフリップフロップ回路 2 0 1 ~ 2 3 1 と、1 6 個のエクスクルーシブオア回路 2 4 1 ~ 2 5 5 とが結合されて成る。フリップフロップ回路 2 1 6 ~ 2 3 1 からはパラレル形式の出力データ D o u t 0 1 ~ D o u t 1 6 が得られる。フリップフロップ回路 2 1 6 ~ 2 3 0 の前段にはフリップフロップ回路 2 0 1 ~ 2 1 5 が配置され、このフリップフロップ回路 2 0 1 ~ 2 1 5 の出力信号が後段のフリップフロップ回路 2 1 6 ~ 2 3 0 に取り込まれる。

【 0 0 3 1 】

エクスクルーシブオア回路 2 4 1 は、出力データ D o u t 0 2 と出力データ D o u t 0 5 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 1 に供給する。エクスクルーシブオア回路 2 4 2 は、出力データ D o u t 0 3 と出力データ D o u t 0 6 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 2 に供給する。エクスクルーシブオア回路 2 4 3 は、出力データ D o u t 0 4 と出力データ D o u t 0 7 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 3 に供給する。エク

スクルーシブオア回路 2 4 4 は、出力データ D o u t 0 5 と出力データ D o u t 0 8 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 4 に供給する。エクスクルーシブオア回路 2 4 5 は、出力データ D o u t 0 6 と出力データ D o u t 0 9 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 5 に供給する。エクスクルーシブオア回路 2 4 6 は、出力データ D o u t 0 7 と出力データ D o u t 1 0 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 6 に供給する。エクスクルーシブオア回路 2 4 7 は、出力データ D o u t 0 8 と出力データ D o u t 1 1 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 7 に供給する。エクスクルーシブオア回路 2 4 8 は、出力データ D o u t 0 9 と出力データ D o u t 1 2 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 8 に供給する。エクスクルーシブオア回路 2 4 9 は、出力データ D o u t 1 0 と出力データ D o u t 1 3 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 0 9 に供給する。エクスクルーシブオア回路 2 5 0 は、出力データ D o u t 1 1 と出力データ D o u t 1 4 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 1 0 に供給する。エクスクルーシブオア回路 2 5 1 は、出力データ D o u t 1 2 と出力データ D o u t 1 5 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 1 1 に供給する。エクスクルーシブオア回路 2 5 2 は、出力データ D o u t 1 3 と出力データ D o u t 1 6 とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 1 2 に供給する。エクスクルーシブオア回路 2 5 3 は、出力データ D o u t 1 4 とフリップフロップ回路 2 0 1 の出力データとのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 1 3 に供給する。エクスクルーシブオア回路 2 5 4 は、出力データ D o u t 1 5 とフリップフロップ回路 2 0 2 の出力データとのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 1 4 に供給する。エクスクルーシブオア回路 2 5 5 は、出力データ D o u t 1 6 とフリップフロップ回路 2 0 3 の出力データとのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路 2 1 5 に供給する。エクスクルーシブオア回路 2 5 6 は、出力データ D o u t

01と出力データDout04とのエクスクルーシブオア論理を求め、それを後段のフリップフロップ回路231に供給する。

【0032】

上記フリップフロップ回路201～215、216～231は、クロック信号CLOCKに同期動作される。また、上記フリップフロップ回路201～215、216～231は、テストモード信号TESTがローレベルの場合にリセット状態とされ、テストモード信号TESTがハイレベルの場合にリセット状態が解除され、テストパターンが発生される。このリセットにより、上記フリップフロップ回路201～215、216～231の初期値は、論理値“1”とされる。

【0033】

ここで、フリップフロップ回路201～231、エクスクルーシブオア回路241～256が、本発明における第1論理回路群の一例とされる。

【0034】

図3にはテストパターン合否判定回路16の構成例が示される。

【0035】

受信回路15から伝達された入力データDin01～Din16が取り込まれるフリップフロップ回路301～316が設けられる。フリップフロップ回路302～316の後段には、当該フリップフロップ回路302～316の出力信号が伝達されるフリップフロップ回路317～331が配置される。このフリップフロップ回路317～331の後段には、エクスクルーシブオア回路341～356が配置される。フリップフロップ回路301～331は、上記テストパターン発生回路13におけるフリップフロップ回路201～231（図2参照）に対応し、エクスクルーシブオア回路341～356は、上記テストパターン発生回路13におけるエクスクルーシブオア回路241～256に対応する（図2参照）。

【0036】

エクスクルーシブオア回路341は、フリップフロップ回路317の出力信号とフリップフロップ回路320の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブオア回路361に供給する。エクスクルーシブ

オア回路 3 4 2 は、フリップフロップ回路 3 1 8 の出力信号とフリップフロップ回路 3 2 1 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 2 に供給する。エクスクルーシブオア回路 3 4 3 は、フリップフロップ回路 3 1 9 の出力信号とフリップフロップ回路 3 2 2 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 3 に供給する。エクスクルーシブオア回路 3 4 4 は、フリップフロップ回路 3 2 0 の出力信号とフリップフロップ回路 3 2 3 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 4 に供給する。エクスクルーシブオア回路 3 4 5 は、フリップフロップ回路 3 2 1 の出力信号とフリップフロップ回路 3 2 4 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 5 に供給する。エクスクルーシブオア回路 3 4 6 は、フリップフロップ回路 3 2 2 の出力信号とフリップフロップ回路 3 2 5 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 6 に供給する。エクスクルーシブオア回路 3 4 7 は、フリップフロップ回路 3 2 3 の出力信号とフリップフロップ回路 3 2 6 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 7 に供給する。エクスクルーシブオア回路 3 4 8 は、フリップフロップ回路 3 2 4 の出力信号とフリップフロップ回路 3 2 7 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 8 に供給する。エクスクルーシブオア回路 3 4 9 は、フリップフロップ回路 3 2 5 の出力信号とフリップフロップ回路 3 2 8 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 6 9 に供給する。エクスクルーシブオア回路 3 5 0 は、フリップフロップ回路 3 2 6 の出力信号とフリップフロップ回路 3 2 9 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 7 0 に供給する。エクスクルーシブオア回路 3 5 1 回路は、フリップフロップ回路 3 2 7 の出力信号とフリップフロップ回路 3 3 0 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア回路 3 7 1 に供給する。エクスクルーシブオア回路 3 5 2 は、フリップフロップ回路 3 2 8 の出力信号とフリップフロップ回路 3 3 1 の出力信号とのエクスクルー

シブオア論理を求め、それを後段のエクスクルーシブノア回路 3 7 2 に供給する。エクスクルーシブオア回路 3 5 3 は、フリップフロップ回路 3 2 9 の出力信号とフリップフロップ回路 3 0 1 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア 3 7 3 に供給する。エクスクルーシブオア回路 3 5 4 は、フリップフロップ回路 3 3 0 の出力信号とフリップフロップ回路 3 0 2 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア 3 7 4 に供給する。エクスクルーシブオア回路 3 5 5 は、フリップフロップ回路 3 3 1 の出力信号とフリップフロップ回路 3 0 3 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア 3 7 5 に供給する。エクスクルーシブオア回路 3 5 6 は、フリップフロップ回路 3 0 1 の出力信号とフリップフロップ回路 3 0 4 の出力信号とのエクスクルーシブオア論理を求め、それを後段のエクスクルーシブノア 3 7 6 に供給する。エクスクルーシブノア回路 3 6 1 は、新たに入力されたデータ D_{in01} と、エクスクルーシブオア回路 3 4 1 の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路 3 8 1 に供給する。エクスクルーシブノア回路 3 6 2 は、新たに入力されたデータ D_{in02} と、エクスクルーシブオア回路 3 4 2 の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路 3 8 1 に供給する。エクスクルーシブノア回路 3 6 3 は、新たに入力されたデータ D_{in03} と、エクスクルーシブオア回路 3 4 3 の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路 3 8 1 に供給する。エクスクルーシブノア回路 3 6 4 は、新たに入力されたデータ D_{in04} と、エクスクルーシブオア回路 3 4 4 の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路 3 8 1 に供給する。エクスクルーシブノア回路 3 6 5 は、新たに入力されたデータ D_{in05} と、エクスクルーシブオア回路 3 4 5 の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路 3 8 1 に供給する。エクスクルーシブノア回路 3 6 6 は、新たに入力されたデータ D_{in06} と、エクスクルーシブオア回路 3 4 6 の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路 3 8 1 に供給する。エクスクルーシブノア回路 3 6 7 は、新たに入力されたデータ D_{in07} と、エクスクルーシブオア回路 3 4 7 の出力信号とのエクスクル

ーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路368は、新たに入力されたデータDin08と、エクスクルーシブノア回路348の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路369は、新たに入力されたデータDin09と、エクスクルーシブノア回路349の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路369は、新たに入力されたデータDin09と、エクスクルーシブノア回路349の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路370は、新たに入力されたデータDin10と、エクスクルーシブノア回路350の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路371は、新たに入力されたデータDin11と、エクスクルーシブノア回路351の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路372は、新たに入力されたデータDin12と、エクスクルーシブノア回路352の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路373は、新たに入力されたデータDin13と、エクスクルーシブノア回路353の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路374は、新たに入力されたデータDin14と、エクスクルーシブノア回路354の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路375は、新たに入力されたデータDin15と、エクスクルーシブノア回路355の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。エクスクルーシブノア回路376は、新たに入力されたデータDin16と、エクスクルーシブノア回路356の出力信号とのエクスクルーシブノア論理を求め、それを後段のアンド回路381に供給する。

【0037】

フリップフロップ回路301～331は、受信回路15から供給されるクロッ

ク信号CLOCKに同期して動作される。また、フリップフロップ回路301～331は、テストモード信号TESTがローレベルの場合にリセット状態とされ、テストモード信号TESTがローレベルからハイレベルに遷移されることでリセット状態が解除される。このリセットによりフリップフロップ回路301～331の初期値は論理値“1”とされる。

【0038】

フリップフロップ回路301～331によって保持されたデータ（先に入力されたデータ）がエクスクルーシブオア回路341～356で論理演算されることで、テストパターン発生回路13から現在出力されるデータDout01～Dout16に等しいデータが得られる。それは、テストモードにおいてテストパターン発生回路13から所定のランダムパターンデータが送信回路12に供給された場合に、受信回路15から出力されるパターンデータの期待値とされ、それがエクスクルーシブノア回路361～376において、入力データDin01～Din16と比較されることによってテストパターンの合否判定が行われる。入力データDin01～Din16の全ビットが、対応する期待値（エクスクルーシブオア回路341～356）と一致する場合には、エクスクルーシブノア回路361～376の全てがハイレベルとなるため、アンド回路381の出力論理はハイレベルとされる。

【0039】

これに対して、入力データDin01～Din16のうち、一つでも期待値（エクスクルーシブオア回路341～356）と一致しないビットがある場合には、それは、送信回路12あるいは受信回路15の故障を意味する。この場合、エクスクルーシブノア回路361～376の全てがハイレベルとならないため、アンド回路381の出力端子はローレベルとされる。これにより、SRラッチ回路384がセットされ、当該SRラッチ回路384の出力信号はローレベルに固定される。SRラッチ回路384の出力信号がローレベルに固定されたことは、図示されない信号伝達経路を介して外部出力、あるいはホストシステムに伝達される。上記SRラッチ回路384は、一度セットされると、リセット回路383によってリセットされない限り、出力論理が固定されているため、その後のアンド

回路 3 8 1 の出力信号がハイレベルになったとしても、それによって S R ラッチ回路 3 8 4 の出力論理が変化されることはない。

【 0 0 4 0 】

リセット回路 3 8 3 は、テストモード信号 T E S T がローレベルの場合に、S R ラッチ回路 3 8 4 をリセットし、テストモード信号 T E S T がローレベルからハイレベルに遷移されてから所定時間経過後に、S R ラッチ回路 3 8 4 のリセット信号をローレベルからハイレベルに遷移させることで S R ラッチ回路 3 8 4 のリセット状態を解除する。このように S R ラッチ回路 3 8 4 のリセット解除を遅延させるのは次の理由による。

【 0 0 4 1 】

すなわち、テストモード信号 T E S T がローレベルからハイレベルに遷移された直後は回路動作が不安定であるため、フリップフロップ回路 3 0 1 ~ 3 3 1、エクスクルーシブオア回路 3 4 1 ~ 3 5 6、エクスクルーシブノア回路 3 6 1 ~ 3 7 6、アンド回路 3 8 1 などの論理が確定された後に、S R ラッチ回路 3 8 4 のリセット状態を解除することにより、不所望な信号によって S R ラッチ回路 3 8 4 がセットされないようにしている。

【 0 0 4 2 】

ここで、フリップフロップ回路 3 0 1 ~ 3 3 1 が本発明における第 2 論理回路群の一例とされ、エクスクルーシブオア回路 3 4 1 ~ 3 5 6 が本発明における第 3 論理回路の一例とされ、エクスクルーシブノア回路 3 6 1 ~ 3 7 6 が本発明における第 4 論理回路群の一例とされる。

【 0 0 4 3 】

図 4 には、上記通信用 L S I 2 0 の比較対象とされる回路が示される。

【 0 0 4 4 】

図 4 に示される通信用 L S I 4 0 が、図 1 に示される通信用 L S I 2 0 と大きく相違するのは、テストパターン発生回路 1 3、セクタ 1 1 - 1 ~ 1 1 - n、1 4、及びテストパターン合否判定回路 1 6 が内蔵されない点である。このため、通信用 L S I 4 0 の試験を行う場合、当該通信用 L S I 4 0 には、パターン発生装置 4 1、4 3 やパターン判定装置 4 2、4 4 が結合される。パターン発生装

置 4 1 で発生されたテストパターン（ランダムパターン）データが送信側入力端子 T 1 - 1 ~ T 1 - n を介して送信回路 1 2 に伝達され、その場合に当該送信回路 1 2 から出力されたパターンデータが送信側出力端子 T 4 を介してパターン判定装置 4 2 に入力され、そこで期待値と比較されることによって、パターンデータの合否判定が行われる。同様に、パターン発生装置 4 3 で発生されたテストパターン（ランダムパターン）データが受信側入力端子 T 5 を介して受信回路 1 5 に伝達され、その場合に当該受信回路 1 5 から出力されたパターンデータが受信側出力端子 T 2 - 1 ~ T 2 - n を介してパターン判定装置 4 4 に入力され、そこで期待値と比較されることによって、パターンデータの合否判定が行われる。

【 0 0 4 5 】

図 5 には、上記パターン発生装置 4 1 の構成例が示される。

【 0 0 4 6 】

上記パターン発生装置 4 1 は、PN 3 1 段のテストパターンを発生するもので、図 5 に示されるように、3 1 個のフリップフロップ回路 5 0 1 ~ 5 3 1、エクスクルーシブオア回路 5 4 0、及びデマルチプレクサ 5 4 1 が結合されて成る。上記 3 1 個のフリップフロップ回路 5 0 1 ~ 5 3 1 は直列接続される。フリップフロップ回路 5 2 8 の出力信号とフリップフロップ回路 5 3 1 の出力信号とのエクスクルーシブオア論理がエクスクルーシブオア回路 5 4 0 で求められ、それがフリップフロップ回路 5 0 1 の入力端子に伝達される。フリップフロップ回路 5 0 1 ~ 5 3 1 はクロック信号 C L O C K に同期動作され、リセット信号 R E S E T によってリセットされるこのリセットにより、フリップフロップ回路 5 0 1 ~ 5 3 1 の初期値は論理値 “1” とされる。送信回路 1 2 が複数の入力チャンネル数を有するため、フリップフロップ回路 5 3 1 の出力信号が後段のデマルチプレクサ 5 4 1 に伝達され、そこで、1 : n に分離されることで平行形式のテストパターンデータが得られる。このテストパターンデータが送信回路 1 2 に伝達される。1 : n に分離されることから、テストパターンの n 倍の周波数で PN パターンを生成する必要がある、例えば半導体集積回路 2 0 の使用周波数が 1 0 0 M H z を越えるような高い周波数の場合には、回路設計が困難になる。

【 0 0 4 7 】

図 6 には上記パターン判定装置 4 4 の構成例が示される。

【 0 0 4 8 】

パターン判定装置 4 4 は、3 1 個のフリップフロップ回路 6 0 1 ~ 6 3 1、マルチプレクサ 6 4 1、同期回路 6 4 2、エクスクルーシブオア回路 6 4 3、6 4 4 が結合されて成る。フリップフロップ回路 6 2 8 の出力信号とフリップフロップ回路 6 3 1 の出力信号とのエクスクルーシブオア論理がエクスクルーシブオア回路 6 4 3 によって求められ、その結果がフリップフロップ回路 6 0 1 に伝達される。受信回路 1 5 から出力された信号がマルチプレクサ 6 4 1 に入力され、ここ n : 1 のシリアル形式に変換される。上記マルチプレクサ 6 4 1 の出力信号と、フリップフロップ回路 6 3 1 の出力信号とが、エクスクルーシブオア回路 6 3 1 で比較され、その比較結果が合否判定結果の出力とされる。このエクスクルーシブオア回路 6 3 1 での論理比較において、フリップフロップ回路 6 3 1 の出力信号は、マルチプレクサ 6 4 1 の出力信号に同期している必要があるため、フリップフロップ回路 6 3 1 の出力信号を、マルチプレクサ 6 4 1 の出力信号に同期させるための同期回路 6 4 2 が不可欠とされる。しかしながら、半導体集積回路 4 0 の n 倍の周波数でパターン判定装置 4 4 を動作させる必要があり、かかる場合、特に同期回路 6 2 4 の設計が困難になる。

【 0 0 4 9 】

これに対して、図 1 に示される通信用 L S I 2 0 においては、以下の作用効果を得ることができる。

【 0 0 5 0 】

(1) テストパターン発生回路 1 3 及びテストパターン合否判定回路 1 6 が半導体集積回路に内蔵されていることから、テストパターン発生回路 1 3 やテストパターン合否判定回路 1 6 をチップの外部に用意する必要がなくなる。このため、通信用 L S I の製造コストの低減を図ることができる。また、所定のランダムパターンを発生するための第 1 論理回路群と、上記第 1 論理回路群から引き出され、上記ランダムパターンを n 分割してパレル出力可能な出力端子群とを含んで上記テストパターン発生回路 1 3 を構成することにより、テストパターン発生回路 1 3 で発生されたテストパターンをパレル形式で上記送信回路 1 2 に供給

することができるため、パターン発生回路13から出力された信号をチャンネル数（ n 個）に振り分ける必要がなくなる。このことから、テストパターン発生回路13において実際に発生されるパターン信号の周波数は、半導体集積回路20の試験において必要とされるテストパターンの周波数で良く、デマルチプレクサによるパターンデータの振り分けを考慮して、 n 倍の周波数でテストパターンを発生させる必要がないため、回路設計の容易化、さらには半導体集積回路の試験の容易化を図ることができる。

【0051】

(2) テストパターン発生回路13において、パラレル信号に対応する複数のフリップフロップ回路216～231と、このフリップフロップ回路216～231の前段に配置された複数のフリップフロップ回路201～215と、上記複数のフリップフロップ回路216～231から出力される信号のうち、3ビット離れた箇所の信号論理を比較してその比較結果を、対応する上記フリップフロップ回路201～215、231に供給するためのエクスクルーシブオア回路241～256とを設けることにより、パラレル信号に対応する複数チャンネル分のランダムパターンを容易に発生させることができる。

【0052】

(3) テストパターン合否判定回路16において、エクスクルーシブノア回路361～376からの複数の出力信号のアンド論理を得るアンド回路381を設けることにより、上記テストパターン合否判定結果のビット数の低減を図ることができる。

【0053】

(4) テストパターン合否判定回路16において、アンド回路381の出力信号をクロック信号に同期して取り込むためのフリップフロップ回路382と、このフリップフロップ回路382の出力信号によってセットされるSRラッチ回路384とを設けることにより、SRラッチ回路384がフリップフロップ回路382の出力信号によってセットされた後において、テストパターン合否判定結果が、その後のフリップフロップ回路382の出力信号によって破壊されるのを防止することができる。

【 0 0 5 4 】

(5) テストパターン合否判定回路 1 6 において、上記 S R ラッチ回路 3 8 4 の前段に配置された回路が、テスト信号 T E S T によってリセットされてから所定時間経過後に S R ラッチ回路 3 8 4 のリセット状態を解除可能なリセット回路 3 8 3 を設けることにより、不所望な論理が上記 S R ラッチ回路 3 8 4 に保持されるのを排除することができる。

【 0 0 5 5 】

(6) テストパターン合否判定回路 1 6 においては、受信回路 1 5 の出力信号に基づいて期待値を得ることができるため、テストパターン発生回路 1 3 によって発生されたテストパターン信号を期待値としてテストパターン合否判定回路 1 6 に取り込む必要がない。このため、テストパターン発生回路 1 3 からテストパターン信号をテストパターン合否判定回路 1 6 に供給するための信号伝達経路が不要とされる。また、テストパターン合否判定回路 1 6 における信号比較においては、テストパターン発生回路 1 3 との関係で信号の同期をとる必要が無い。

【 0 0 5 6 】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 5 7 】

例えば、上記の例では P N 3 1 段のテストパターンを発生するようにしたが、それ限定されるものではなく、例えば P N 2 3 段などに変更することができる。

【 0 0 5 8 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である通信用 L S I に適用した場合について、それに限定されるものではなく、各種半導体集積回路に広く適用することができる。

【 0 0 5 9 】

本発明は、少なくとも論理回路を含むことを条件に適用することができる

【 0 0 6 0 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0061】

すなわち、テストパターン発生回路及びテストパターン合否判定回路が半導体集積回路に内蔵されていることから、テストパターン発生回路やテストパターン合否判定回路をチップの外部に用意する必要がなくなる。また、所定のランダムパターンを発生するための第1論理回路群と、上記第1論理回路群から引き出され、上記ランダムパターンをn分割してパラレル出力可能な出力端子群とを含んで上記テストパターン発生回路を構成することにより、テストパターン発生回路で発生されたテストパターンをパラレル形式で上記送信回路に供給することができるため、パターン発生回路から出力された信号をチャンネル数(n個)に振り分ける必要がなくなる。このことから、パターン発生回路において実際に発生されるパターン信号の周波数は、半導体集積回路の試験において必要とされるテストパターンの周波数で良く、それによって、半導体集積回路の試験の容易化を図ることができる。

【図面の簡単な説明】

【図1】

本発明にかかる半導体集積回路の一例である通信用LSIの構成例ブロック図である。

【図2】

上記通信用LSIにおけるテストパターン発生回路の構成例回路図である。

【図3】

上記通信用LSIにおけるテストパターン合否判定回路の構成例回路図である。

【図4】

図1に示される通信用LSIの比較対象とされるLSIの試験説明図である。

【図5】

図4に示されるLSIに含まれるパターン発生回路の構成例回路図である。

【図6】

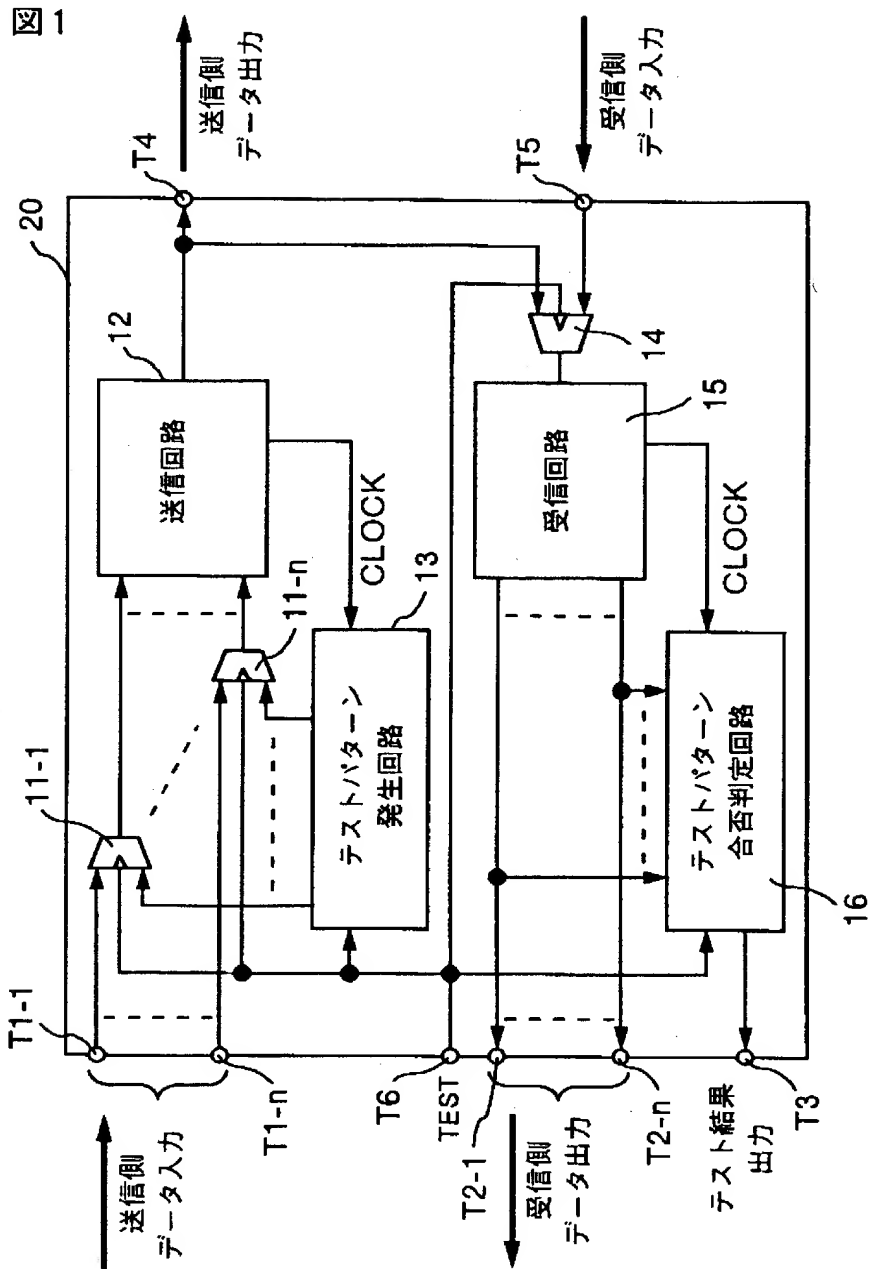
図 4 に示される L S I に含まれるパターン判定装置の構成例回路図である。

【符号の説明】

- 1 1 - 1 ~ 1 1 - n, 1 4 セレクタ
- 1 2 送信回路
- 1 3 テストパターン発生回路
- 1 5 受信回路
- 1 6 テストパターン合否判定回路
- 2 0 通信用 L S I
- 2 0 1 ~ 2 3 1 フリップフロップ回路
- 2 4 1 ~ 2 5 6 エクスクルージブオア回路
- 3 0 1 ~ 3 3 1, 3 8 2 フリップフロップ回路
- 3 4 1 ~ 3 5 6 エクスクルージブオア回路
- 3 6 1 ~ 3 7 6 エクスクルージブノア回路
- 3 8 3 リセット回路
- 3 8 4 S R ラッチ回路

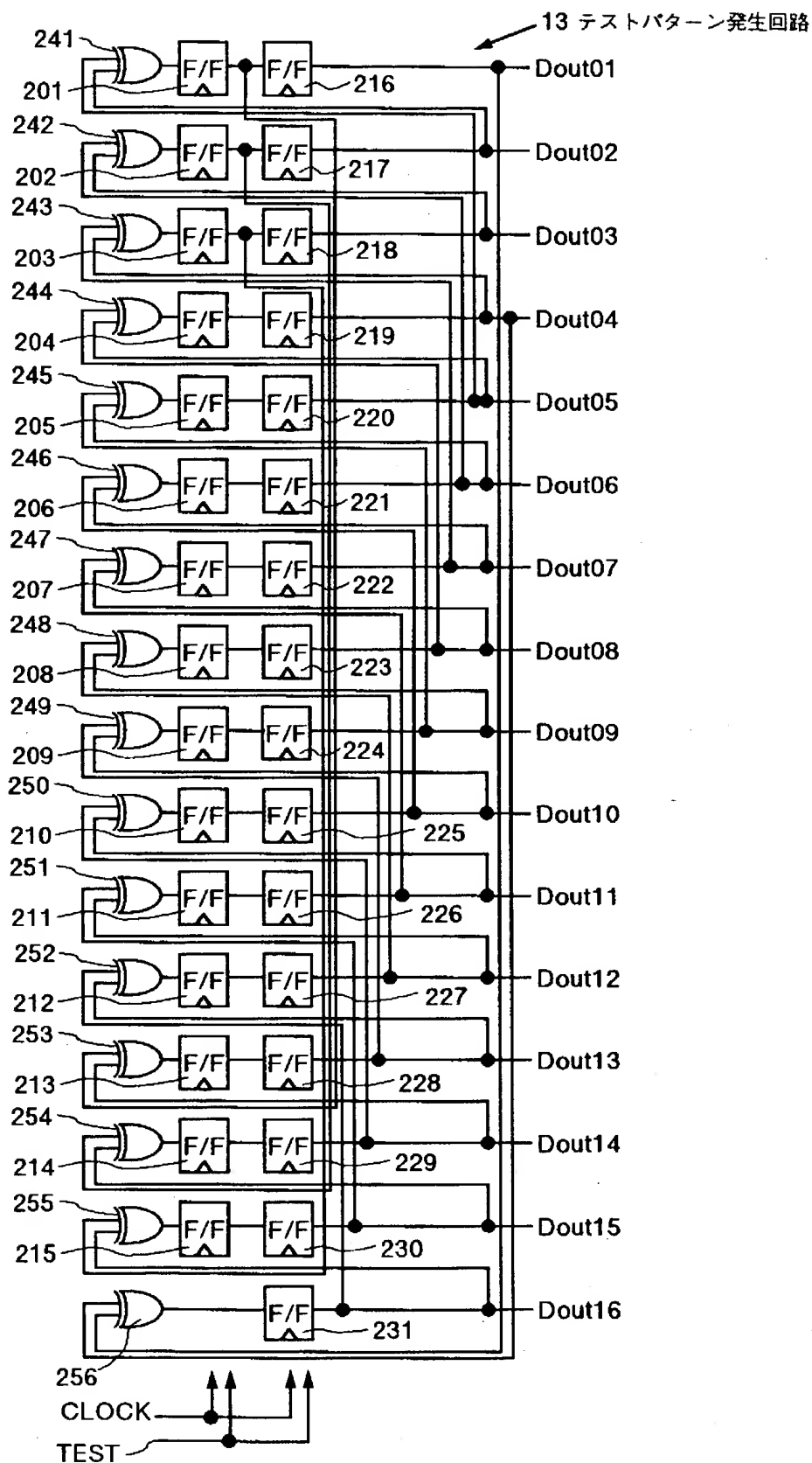
【書類名】 図面

【図1】

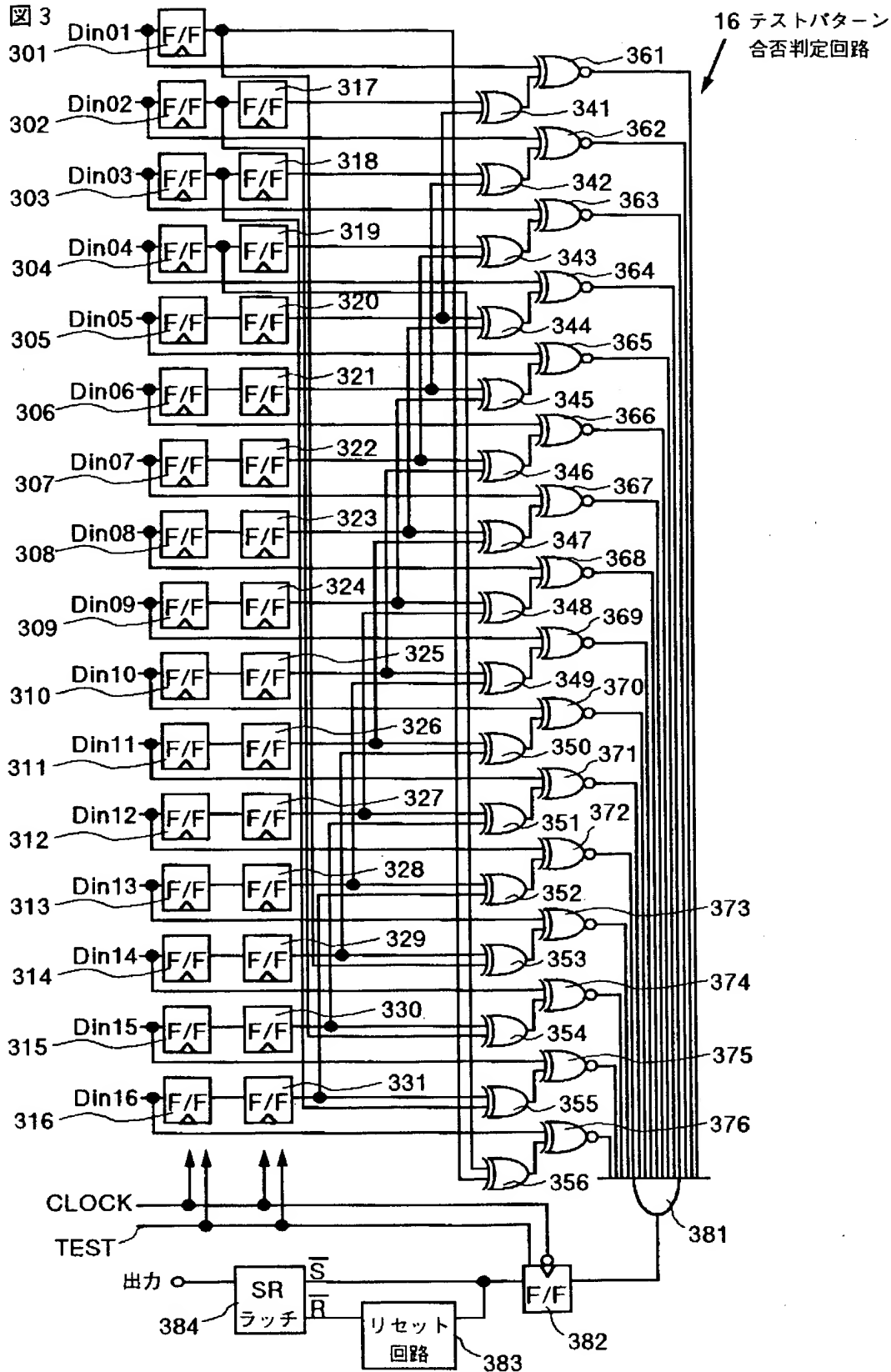


【図 2】

图 2

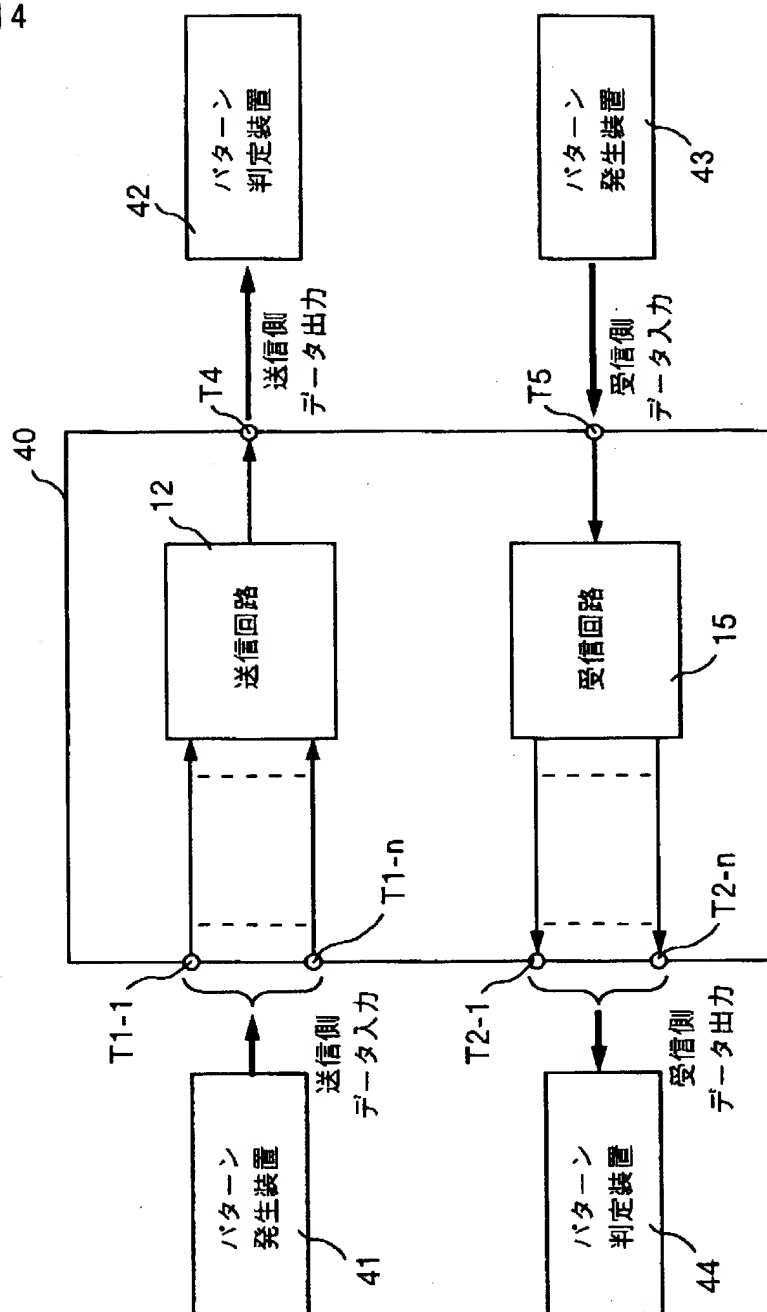


【図 3】



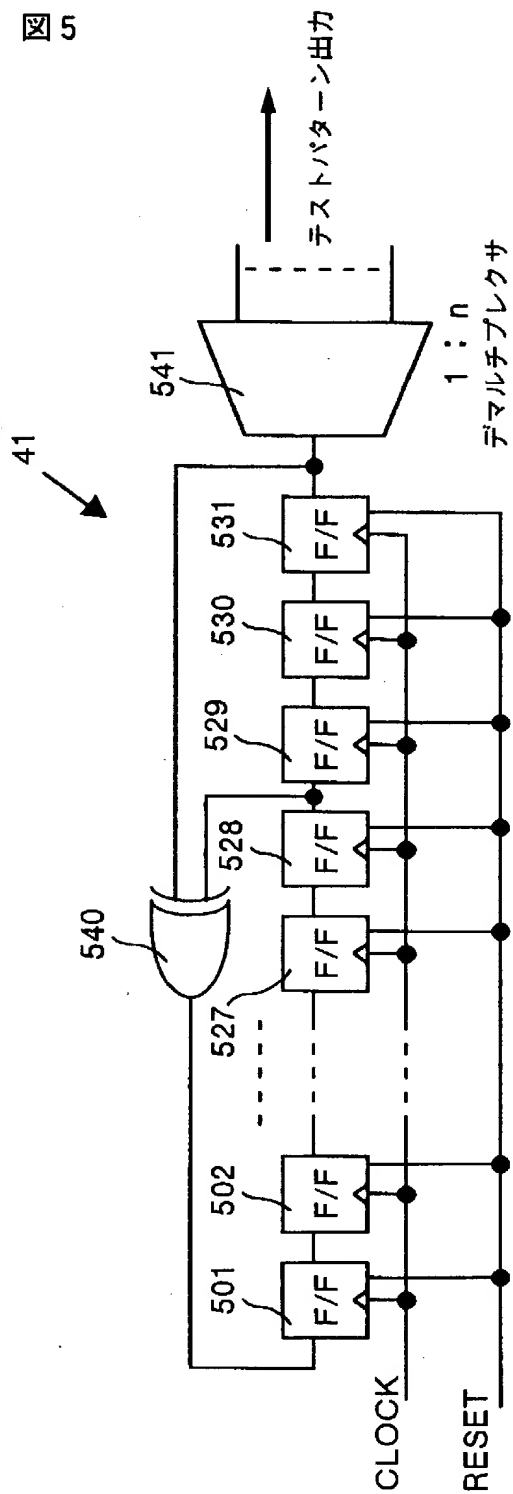
【図4】

図4



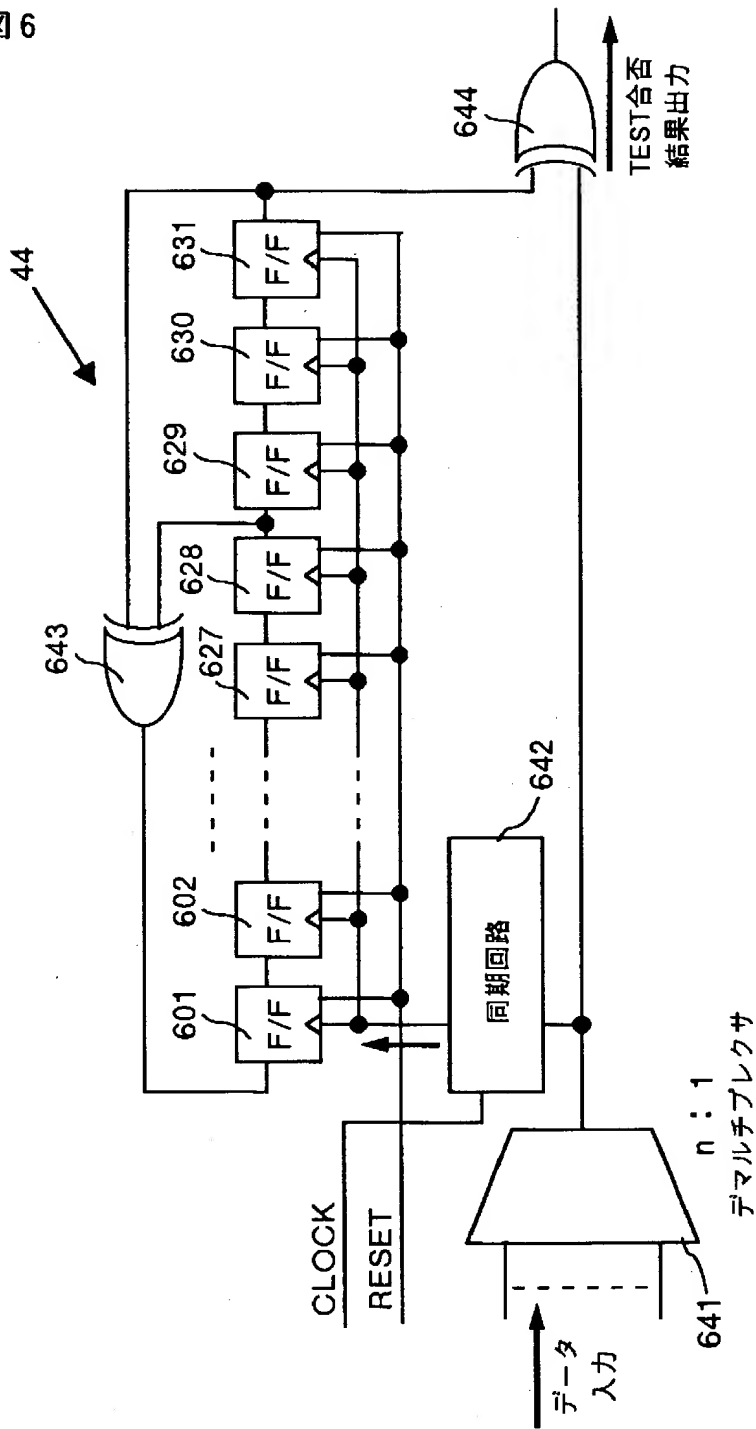
【図 5】

図 5



【図 6】

図 6



【書類名】 要約書

【要約】

【課題】 半導体集積回路の試験の容易化を図る。

【解決手段】 テストパターン発生回路（13）において、パラレル信号に対応する複数チャネル分のランダムパターンを発生するための第1論理回路群を設け、テストパターン発生回路で発生されたテストパターンをパラレル形式で送信回路（12）に供給する。受信回路（15）から先に出力された複数チャネル分のパラレル信号を保持可能な第2論理回路群と、この保持信号に基づいて、上記受信回路から新たに出力される信号の期待値を生成する第3論理回路群と、受信回路から現在取り込まれたパラレル信号と上記期待値とを比較する第4論理回路群とを含んでテストパターン合否判定回路を構成することにより、上記信号比較における信号同期を不要とする。

【選択図】 図1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所